

# HOLLOW STRUCTURE IN AN INTEGRATED CIRCUIT, MULTIPLE-CAVITY STRUCTURE IN AN INTEGRATED CIRCUIT, AND METHOD FOR PRODUCING A HOLLOW STRUCTURE IN AN INTEGRATED CIRCUIT

Publication number: DE10125019

Publication date: 2002-12-05

Inventor: PAMLER WERNER (DE); ENGELHARDT MANFRED (DE); GABRIC ZVONIMIR (DE)

Applicant: INFINEON TECHNOLOGIES AG (DE)

Classification:

- international: **H01L21/768**; H01L21/70; (IPC1-7): H01L23/532; H01L21/314

- European: H01L21/768B6

Application number: DE20011025019 20010522

Priority number(s): DE20011025019 20010522

Also published as:



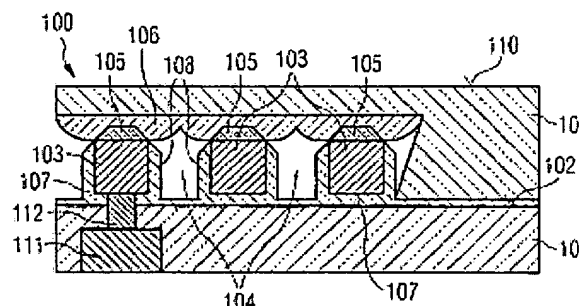
WO02095820 (A)

WO02095820 (A)

Report a data error he

## Abstract of DE10125019

The invention relates to a hollow structure (100) in an integrated circuit, comprising a substrate (101) having a surface (102), conductor tracks (103) which are adjacently arranged on said surface in such a way that they form intermediate spaces (104) thereinbetween, a first layer (105) consisting of a first insulation material which is arranged over each conductor track (103), and a second layer (106) covering the intermediate spaces (104), consisting of a second insulation material which is deposited only on the first insulation material.



Data supplied from the esp@cenet database - Worldwide

BEST AVAILABLE COPY



①9 BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENT- UND  
MARKENAMT

⑫ **Offenlegungsschrift**  
⑩ **DE 101 25 019 A 1**

⑤① Int. Cl.<sup>7</sup>:  
**H 01 L 23/532**  
H 01 L 21/314

②① Aktenzeichen: 101 25 019.3  
②② Anmeldetag: 22. 5. 2001  
④③ Offenlegungstag: 5. 12. 2002

DE 101 25 019 A 1

⑦① Anmelder:  
Infineon Technologies AG, 81669 München, DE  
  
⑦④ Vertreter:  
Viering, Jentschura & Partner, 80538 München

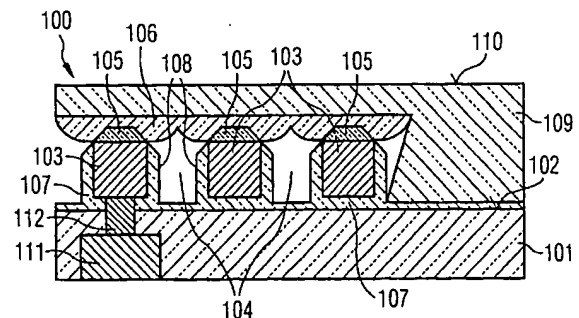
⑦② Erfinder:  
Pamler, Werner, Dr., 80686 München, DE;  
Engelhardt, Manfred, Dr., 83620  
Feldkirchen-Westerham, DE; Gabric, Zvonimir,  
85604 Zorneding, DE  
  
⑤⑤ Entgegenhaltungen:  
T. UEDA et al.: A Novel Air Gap Integration  
Scheme for Multilevel Interconnects using self-  
aligned Via Plugs, in: 1998 Symp. on VLSI Techn.  
Dig. of Technical Papers, S. 46-47;

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤④ Hohlraumstruktur, Mehrfach-Hohlraumstruktur und Verfahren zum Herstellen einer Hohlraumstruktur

⑤① Eine Hohlraumstruktur (100) weist auf ein Substrat (101) mit einer Substratoberfläche (102), darauf nebeneinander angeordnete Leiterbahnen (103) mit dazwischen liegenden Zwischenräumen (104), eine auf jeder der Leiterbahnen (103) angeordnete erste Schicht (105) aus einem ersten Isolationsmaterial und eine die Zwischenräume (104) bedeckende zweite Schicht (106) aus einem zweiten Isolationsmaterial, welches sich nur auf dem ersten Isolationsmaterial abscheiden lässt.



DE 101 25 019 A 1

## Beschreibung

[0001] Die Erfindung betrifft eine Hohlraumstruktur, eine Mehrfach-Hohlraumstruktur und ein Verfahren zum Herstellen einer Hohlraumstruktur.

[0002] Integrierte Schaltungsanordnungen werden mit immer höherer Packungsdichte erzeugt. Dies hat zur Folge, dass Leiterbahnen in Metallisierungsebenen einen immer kleineren Abstand voneinander aufweisen. Dadurch steigen Kapazitäten, welche zwischen den Leiterbahnen gebildet werden und zu hohen Signallaufzeiten, hoher Verlustleistung und Übersprechen führen. Bisher wurde zur Isolation zwischen den Leiterbahnen hauptsächlich  $\text{SiO}_2$  als Dielektrikum verwendet, dessen relative Dielektrizitätskonstante  $\epsilon_r = 3,9$  beträgt.

[0003] Es sind einige Methoden zur Erniedrigung der relativen Dielektrizitätskonstante  $\epsilon_r$  und damit zur Erniedrigung der Kapazität zwischen Leiterbahnen innerhalb einer Leiterbahnebene bekannt, beispielsweise aus [1] oder [2].

[0004] Gemäß dem Stand der Technik werden Hohlräume zwischen den Leiterbahnen innerhalb einer Leiterbahnebene erzeugt. Dabei werden die Leiterbahnen sowie die Zwischenräume zwischen benachbarten Leiterbahnen innerhalb einer Leiterbahnebene von einem isolierenden Material überdeckt, wodurch jeweils ein Hohlraum zwischen zwei benachbarten Leiterbahnen gebildet wird. Jedoch erfolgt das Aufbringen des isolierenden Materials nicht nur oberhalb der Zwischenräume sondern auch an den Seitenwänden der Leiterbahnen sowie den freiliegenden Bodenbereichen, also auch innerhalb der Zwischenräume. Dadurch werden die Zwischenräume zum Teil erheblich mit dem isolierenden Material angefüllt.

[0005] Das isolierende Dielektrikum zwischen zwei benachbarten Leiterbahnen, welches die Kapazität zwischen den Leiterbahnen bestimmt, setzt sich somit aus dem Material des Hohlraums, üblicherweise Luft, sowie dem im Zwischenraum abgeschiedenen isolierenden Material zusammen. Folglich weist das isolierende Dielektrikum eine relative Dielektrizitätskonstante  $\epsilon_r$  auf, welche trotz des Hohlraums noch wesentlich größer als Eins ist.

[0006] Um kein isolierendes Material in die Zwischenräume zwischen benachbarte Leiterbahnen eindringen zu lassen, sind gemäß dem Stand der Technik jedoch keine einfach durchführbaren Verfahren bekannt, welche in die bisher bekannten Herstellungsprozesse für entsprechende Leiterbahnanordnungen integriert werden könnten.

[0007] Der Erfindung liegt somit das Problem zugrunde, eine Hohlraumstruktur, eine Mehrfach-Hohlraumstruktur sowie ein Verfahren zur Herstellung einer Hohlraumstruktur anzugeben, bei der/dem die Hohlraumstruktur zwischen benachbarten Leiterbahnen eine kleine Kapazität auf Grund einer kleinen relativen Dielektrizitätskonstante  $\epsilon_r$  aufweist sowie eine einfachere Möglichkeit zur Herstellung der Hohlraumstruktur gegeben ist.

[0008] Das Problem wird durch eine Hohlraumstruktur, eine Mehrfach-Hohlraumstruktur sowie durch ein Verfahren zur Herstellung einer Hohlraumstruktur mit den Merkmalen gemäß den unabhängigen Patentansprüchen gelöst.

[0009] Eine Hohlraumstruktur weist auf ein Substrat mit einer Substratoberfläche, nebeneinander angeordnete Leiterbahnen auf der Substratoberfläche, so dass zwischen den Leiterbahnen Zwischenräume ausgebildet sind, und eine auf jeder der Leiterbahnen auf deren Leiterbahnoberseite angeordnete erste Schicht aus einem ersten Isolationsmaterial. Die ersten Schichten benachbarter Leiterbahnen sind derart strukturiert, dass zumindest ein Teil der Zwischenräume auf einer der Substratoberfläche gegenüber liegenden Seite offen sind. Die Hohlraumstruktur weist weiterhin eine die

Zwischenräume bedeckende zweite Schicht aus einem zweiten Isolationsmaterial auf, welches sich nur auf dem ersten Isolationsmaterial abscheiden lässt, so dass ein zwischen jeweils zwei benachbarten Leiterbahnen befindlicher Zwischenraum einen von dem Substrat, der zweiten Schicht und den beiden benachbarten Leiterbahnen abgeschlossenen Hohlraum darstellt.

[0010] Eine Mehrfach-Hohlraumstruktur weist auf ein Substrat und mindestens zwei Teil-Hohlraumstrukturen, wobei die Teil-Hohlraumstrukturen übereinander auf dem Substrat angeordnet sind. Jede Teil-Hohlraumstruktur weist ihrerseits auf eine Unterseite, nebeneinander angeordnete Leiterbahnen auf der Unterseite, so dass zwischen den Leiterbahnen Zwischenräume ausgebildet sind, und eine auf jeder der Leiterbahnen auf deren Leiterbahnoberseite angeordnete erste Schicht aus einem ersten Isolationsmaterial. Dabei sind die ersten Schichten benachbarter Leiterbahnen derart strukturiert, dass zumindest ein Teil der Zwischenräume auf einer der Unterseite gegenüber liegenden Seite offen sind. Jede Teil-Hohlraumstruktur weist ferner eine die Zwischenräume bedeckende zweite Schicht aus einem zweiten Isolationsmaterial auf, welches sich nur auf dem ersten Isolationsmaterial abscheiden lässt, so dass ein zwischen jeweils zwei benachbarten Leiterbahnen befindlicher Zwischenraum einen von dem Substrat, der zweiten Schicht und den beiden benachbarten Leiterbahnen abgeschlossenen Hohlraum darstellt.

[0011] Bei einem Verfahren zur Herstellung einer Hohlraumstruktur werden auf einer Substratoberfläche eines Substrates nebeneinander angeordnete Leiterbahnen gebildet, so dass zwischen den Leiterbahnen Zwischenräume ausgebildet werden. Auf jeder der Leiterbahnen wird auf deren Leiterbahnoberseite eine erste Schicht aus einem ersten Isolationsmaterial gebildet, wobei die ersten Schichten benachbarter Leiterbahnen derart strukturiert werden, dass zumindest ein Teil der Zwischenräume auf einer der Substratoberfläche gegenüber liegenden Seite offen bleiben. Eine zweite Schicht aus einem zweiten Isolationsmaterial wird derart selektiv auf den ersten Schichten aufgebracht, dass die zweite Schicht die Zwischenräume abschließt. Aus einem zwischen jeweils zwei benachbarten Leiterbahnen befindlichen Zwischenraum wird ein von dem Substrat, der zweiten Schicht und den beiden benachbarten Leiterbahnen abgeschlossener Hohlraum gebildet, wodurch sich eine Hohlraumstruktur ergibt.

[0012] Ein Vorteil der Erfindung kann darin gesehen werden, dass mittels der erfindungsgemäßen Hohlräume zwischen benachbarten Leiterbahnen die relative Dielektrizitätskonstante  $\epsilon_r$  zwischen den benachbarten Leiterbahnen fast gleich Eins ist und somit die Kapazität zwischen diesen Leiterbahnen weiter reduziert werden kann. Damit ermöglicht die Hohlraumstruktur eine erhebliche Reduzierung der Gesamtkapazität innerhalb einer integrierten Schaltung.

[0013] Ein weiterer Vorteil der Hohlraumstruktur ist ihre auf Standardprozessen basierende einfache Herstellbarkeit. Mittels einer geeigneten Wahl der Materialien für die isolierenden Schichten sowie einer geeigneten Wahl der Abscheidetechnik dieser Materialien kann auf einfache Weise erreicht werden, dass beim Abschließen der Zwischenräume zwischen den benachbarten Leiterbahnen kein unerwünschtes Material an den Seitenwänden der Leiterbahnen oder den freiliegenden Bereichen der Substratoberfläche aufgebracht wird.

[0014] Vorzugsweise sind die Hohlräume zur elektrischen Isolierung zwischen den Leiterbahnen vorgesehen. Die Hohlräume sind nach Fertigstellung der Hohlraumstruktur mit Luft gefüllt und weisen somit eine relative Dielektrizitätskonstante  $\epsilon_r$  von fast gleich Eins auf. Somit ist die Kapa-

ziätswirkung der Hohlraumstruktur sehr gering.

[0015] In einer bevorzugten Weiterbildung der erfindungsgemäßen Hohlraumstruktur sind die Leiterbahnen zumindest teilweise auf elektrisch leitenden Bereichen des Substrats angeordnet. Als Alternative zu einem Substrat aus isolierendem Vollmaterial kann in dem Substrat bereits mindestens eine Schicht mit elektrischen Bauelementen, beispielsweise eine sogenannte Metallisierungsebene, also eine Schicht mit einer oder mehreren integrierten Leiterbahnen, vorhanden sein, welche mittels elektrischer Kontakte in geeigneter Weise mit den Leiterbahnen der Hohlraumstruktur elektrisch gekoppelt ist. Für die Erfindung sind die exakte interne Struktur sowie die Beschaffenheit des Substrats unerheblich, solange das Substrat eine Substratoberfläche aufweist, welche vorzugsweise in einer Ebene liegt, und solange die Leiterbahnen der Hohlraumstruktur nicht mittels des Substratmaterials unbeabsichtigt miteinander elektrisch gekoppelt werden. Anschaulich kann das Substrat selbst bereits eine Hohlraumstruktur sein.

[0016] Vorzugsweise weisen die Leiterbahnen Seitenwände auf, welche im Wesentlichen senkrecht zur Substratoberfläche ausgerichtet sind. Auf den Seitenwänden der Leiterbahnen kann eine dritte Schicht aus einem dritten Isolationsmaterial angeordnet sein. Anschaulich bildet die dritte Schicht an den Seitenwänden der Leiterbahnen sogenannte Spacer aus. Dabei sollte die dritte Schicht an den Seitenwänden möglichst dünn sein, um die Kapazität zwischen den Leiterbahnen nicht unnötig zu erhöhen. Dabei wird bevorzugt ein isolierendes Material mit einer möglichst niedrigen relativen Dielektrizitätskonstante  $\epsilon_r$  verwendet. Des Weiteren kann die dritte Schicht auch zwischen der Substratoberfläche und den Leiterbahnen sowie in den Hohlräumen auf der Substratoberfläche angeordnet sein.

[0017] In einer bevorzugten Weiterbildung der erfindungsgemäßen Hohlraumstruktur ist auf der zweiten Schicht eine vierte Schicht aus einem vierten Isolationsmaterial angeordnet. Die vierte Schicht dient dabei einer vollständigen elektrisch isolierenden Einkapselung der Leiterbahnen sowie als Grundlage für weitere, über den Leiterbahnen der Hohlraumstruktur angeordnete Schichten mit elektrischen Bauelementen.

[0018] Bei dem erfindungsgemäßen Verfahren zur Herstellung einer Hohlraumstruktur werden die Leiterbahnen mit den bedeckenden ersten Schichten bevorzugt aus einer auf der Substratoberfläche flächig aufgetragenen Leiterbahnschicht sowie einer darüber angeordneten flächigen Isolationsschicht aus einem ersten Isolationsmaterial erzeugt. Dabei können beispielsweise standardisierte Lithographie- und Ätzverfahren zur Anwendung kommen. Dazu werden die Leiterbahnschicht und die Isolationsschicht zunächst flächig übereinander über der Substratoberfläche aufgebracht. Dann wird die Struktur der nebeneinander angeordneten Leiterbahnen mittels Lithographie sowohl in die Leiterbahnschicht als auch in die Isolationsschicht "geschrieben" und schließlich mittels Ätzung freigelegt. Unter Anwendung einer geeigneten Lithographiemaske wird die Struktur der Leiterbahnen vorherbestimmt.

[0019] In einer bevorzugten Weiterbildung des erfindungsgemäßen Verfahrens wird eine dritte Schicht aus einem dritten Isolationsmaterial an den Seitenwänden der Leiterbahnen, welche im Wesentlichen senkrecht zur Substratoberfläche ausgerichtet sind, sowie über den ersten Schichten konform aufgebracht. Des Weiteren kann die dritte Schicht auch zwischen der Substratoberfläche und den Leiterbahnen flächig aufgebracht werden. Die dritte Schicht wird dann vorzugsweise derart inhomogen entfernt, dass nur die zweiten Schichten freigelegt werden. Auf diese Weise können an den Seitenwänden der Leiterbahnen sowie auf

freiliegenden Bereichen der Substratoberfläche sogenannte Spacer erzeugt werden. Diese Spacer unterstützen bei einer geeigneten Wahl des ersten Isolationsmaterials und des zweiten Isolationsmaterials beim nachfolgenden Erzeugen der zweiten Schicht ein selektives Abscheiden des zweiten Isolationsmaterials ausschließlich an den ersten Schichten. Damit wird ein unerwünschtes Anfüllen der Zwischenräume mit zweitem Isolationsmaterial verhindert. Die zweite Schicht bildet folglich anschaulich eine Art Deckel für die zwischen den nebeneinander angeordneten Leiterbahnen befindlichen Zwischenräume. Somit wird aus jeweils einem Zwischenraum zwischen zwei benachbarten Leiterbahnen ein Hohlraum zwischen der Substratoberfläche, der zweiten Schicht und den beiden benachbarten Leiterbahnen gebildet.

[0020] Gemäß einer anderen anschaulichen Beschreibung bildet die zweite Schicht, welche selektiv an der ersten Schicht angelagert ist, zusammen mit der ersten Schicht und der zugehörigen Leiterbahn eine pilzartige Struktur. Diese pilzartige Struktur verleiht der Hohlraumstruktur eine hohe Stabilität für weitere Schichten mit elektrischen Bauelementen auf der Hohlraumstruktur. Die hohe Stabilität wird unter anderem dadurch bewirkt, dass die selektiv an der ersten Schicht angelagerte zweite Schicht auf der zugehörigen Leiterbahn mit einer vergleichsweise breiten Grundfläche ruht.

[0021] Es werden bevorzugt folgende Materialien gewählt: für die Leiterbahn ein elektrisch leitendes Material, vorzugsweise Aluminium, für die erste Schicht auf Silan ( $\text{SiH}_4$ ) basierendes, plasmaangeregtes Siliziumdioxid ( $\text{SiO}_2$ ) als erstes Isolationsmaterial und für die zweite Schicht auf ozon-aktiviertem Tetra-Ethyl-Ortho-Silicat ( $\text{O}_3/\text{TEOS}$ ) basierendes Siliziumdioxid ( $\text{SiO}_2$ ) als zweites Isolationsmaterial. Dabei wird das auf Silan ( $\text{SiH}_4$ ) basierende, plasmaangeregte Siliziumdioxid ( $\text{SiO}_2$ ) üblicherweise in einem PECVD-Prozess (PECVD = plasma enhanced chemical vapor deposition = plasmaangeregte chemische Gasphasenabscheidung) abgeschieden. Selbstverständlich können auch andere Materialien gewählt werden, wenn diese die oben beschriebene Selektivität hinsichtlich ihres Anlagerungsverhaltens zeigen.

[0022] Zum vollständigen Abschließen und Isolieren der Leiterbahnen wird in einer bevorzugten Ausführungsform des erfindungsgemäßen Verfahrens auf der zweiten Schicht eine vierte Schicht aus einem vierten Isolationsmaterial konform aufgebracht. Vorzugsweise wird die vierte Schicht teilweise wieder entfernt, bis die vierte Schicht eine parallel zur Substratoberfläche ausgerichtete Schichtoberfläche aufweist, auf welcher weitere Leiterbahnen aufgebracht werden können. Das teilweise Entfernen der vierten Schicht erfolgt dabei bevorzugt mittels chemisch-mechanischen Polierens. Da die vierte Schicht nicht nur parallel sondern auch vertikal zur Substratoberfläche, also auch oberhalb der zweiten Schicht, aufgebracht wird, kann mittels eines teilweisen Abtrags der vierten Schicht parallel zur Substratoberfläche eine einheitliche, ebene Schichtoberfläche geschaffen werden, auf welcher dann weitere Schichten mit elektrischen Bauelementen aufgebracht werden können.

[0023] Ein Ausführungsbeispiel der Erfindung ist in den Figuren dargestellt und wird im folgenden näher erläutert. Dabei bezeichnen gleiche Bezugszeichen gleiche Komponenten.

[0024] Es zeigen

[0025] Fig. 1 einen Querschnitt durch eine Hohlraumstruktur gemäß einem Ausführungsbeispiel der Erfindung;

[0026] Fig. 2 einen Querschnitt durch eine noch nicht fertiggestellte Hohlraumstruktur gemäß Fig. 1 zu einem ersten Zeitpunkt während der Durchführung des Herstellungsverfahrens gemäß dem Ausführungsbeispiel der Erfindung;

[0027] Fig. 3 einen Querschnitt durch eine noch nicht fer-

tiggestellte Hohlraumstruktur gemäß Fig. 1 zu einem zweiten Zeitpunkt während der Durchführung des Herstellungsverfahrens gemäß dem Ausführungsbeispiel der Erfindung; [0028] Fig. 4 einen Querschnitt durch eine noch nicht fertiggestellte Hohlraumstruktur gemäß Fig. 1 zu einem dritten Zeitpunkt während der Durchführung des Herstellungsverfahrens gemäß dem Ausführungsbeispiel der Erfindung; [0029] Fig. 5 einen Querschnitt durch eine noch nicht fertiggestellte Hohlraumstruktur gemäß Fig. 1 zu einem vierten Zeitpunkt während der Durchführung des Herstellungsverfahrens gemäß dem Ausführungsbeispiel der Erfindung; [0030] Fig. 6 einen Querschnitt durch eine noch nicht fertiggestellte Hohlraumstruktur gemäß Fig. 1 zu einem fünften Zeitpunkt während der Durchführung des Herstellungsverfahrens gemäß dem Ausführungsbeispiel der Erfindung; [0031] Fig. 7 einen Querschnitt durch eine noch nicht fertiggestellte Hohlraumstruktur gemäß Fig. 1 zu einem sechsten Zeitpunkt während der Durchführung des Herstellungsverfahrens gemäß dem Ausführungsbeispiel der Erfindung; [0032] Fig. 8 einen Querschnitt durch eine noch nicht fertiggestellte Hohlraumstruktur gemäß Fig. 1 zu einem siebten Zeitpunkt während der Durchführung des Herstellungsverfahrens gemäß dem Ausführungsbeispiel der Erfindung; [0033] Fig. 9 einen Querschnitt durch eine noch nicht fertiggestellte Hohlraumstruktur gemäß Fig. 1 zu einem achten Zeitpunkt während der Durchführung des Herstellungsverfahrens gemäß dem Ausführungsbeispiel der Erfindung; [0034] Fig. 10 einen Querschnitt durch eine noch nicht fertiggestellte Hohlraumstruktur gemäß Fig. 1 zu einem neunten Zeitpunkt während der Durchführung des Herstellungsverfahrens gemäß dem Ausführungsbeispiel der Erfindung; [0035] Fig. 11 einen Querschnitt durch eine noch nicht fertiggestellte Hohlraumstruktur gemäß Fig. 1 zu einem zehnten Zeitpunkt während der Durchführung des Herstellungsverfahrens gemäß dem Ausführungsbeispiel der Erfindung; und [0036] Fig. 12 einen vergrößerten Ausschnitt aus dem Querschnitt durch die Hohlraumstruktur aus Fig. 1. [0037] Fig. 1 zeigt einen Querschnitt durch eine Hohlraumstruktur 100 gemäß einem Ausführungsbeispiel der Erfindung. [0038] Die Hohlraumstruktur 100 weist ein Substrat 101 mit einer Substratoberfläche 102 auf. Als Substratmaterial wird ein isolierendes Material, vorzugsweise Siliziumdioxid ( $\text{SiO}_2$ ), verwendet. Das Substrat 101 kann weitere vergrabene Schichten mit elektrischen Bauelementen, beispielsweise vergrabene Metallisierungsebenen, aufweisen. [0039] Auf der Substratoberfläche 102 sind Leiterbahnen 103 nebeneinander angeordnet. Auf Grund der Anordnung der Leiterbahnen 103 werden zwischen den Leiterbahnen 103 Zwischenräume 104 gebildet. Die Leiterbahnen 103 weisen jeweils Seitenwände, welche im Wesentlichen senkrecht zur Substratoberfläche 102 ausgerichtet sind, sowie eine Leiterbahnoberseite gegenüber der Substratoberfläche 102 auf. Die Leiterbahnen 103 werden jeweils auf der Leiterbahnoberseite von einer ersten Schicht 105 überdeckt. Die ersten Schichten 105 weisen ein erstes Isolationsmaterial, gemäß diesem Ausführungsbeispiel auf Silan ( $\text{SiH}_4$ ) basierendes, plasmaangeregtes (PECVD-Prozess) Siliziumdioxid ( $\text{SiO}_2$ ), auf. [0040] Auf den ersten Schichten 105 befindet sich eine zweite Schicht 106 aus einem zweiten Isolationsmaterial, gemäß diesem Ausführungsbeispiel auf ozon-aktiviertem Tetra-Ethyl-Ortho-Silicat ( $\text{O}_3/\text{TEOS}$ ) basierendes Siliziumdioxid ( $\text{SiO}_2$ ). Auf Grund der geeigneten Wahl der Isolationsmaterialien wird erreicht, dass sich die zweite Schicht 106 selektiv nur an den ersten Schichten 105 bildet. Wegen

der selektiven Anlagerung der zweiten Schicht 106 an den ersten Schichten 105 werden die Zwischenräume 104 gegenüber der Substratoberfläche 102 nach oben abgeschlossen. Somit werden zwischen der Substratoberfläche 102, den nebeneinander angeordneten Leiterbahnen 103 und der zweiten Schicht 106 Hohlräume gebildet.

[0041] Eine dritte Schicht 107 bedeckt die Substratoberfläche 102 und ummantelt die Leiterbahnen 103 an den Seitenwänden sowie zwischen den Leiterbahnen 103 und der Substratoberfläche 102. Die dritte Schicht 107 weist ein drittes Isolationsmaterial, gemäß diesem Ausführungsbeispiel plasmaangeregtes (PECVD-Prozess) Siliziumnitrid ( $\text{Si}_3\text{N}_4$ ), auf. Die dritte Schicht 107 verhindert während des Herstellungsprozesses der Hohlraumstruktur 100, dass sich für die zweite Schicht 106 bestimmtes zweites Isolationsmaterial an der Substratoberfläche 102 oder an den Leiterbahnen 103 anlagert. Anschaulich wirkt die dritte Schicht 107 im Bereich der Leiterbahnen 103 als Spacer 108. Somit unterstützt die dritte Schicht 107 die selektive Anlagerung der zweiten Schicht 106 an den ersten Schichten 105. Wird als zweites Isolationsmaterial ein Material gewählt, welches sich nicht an dem Substrat 101 anlagert, kann auf den Teil der dritten Schicht 107 im Bereich der Substratoberfläche 102 verzichtet werden. Auf die Spacer 108 sollte jedoch nicht verzichtet werden, um ein Anlagern der zweiten Schicht 106 an den Seitenwänden der Leiterbahnen 103 sicher zu verhindern. Ohne Spacer 108 könnten Verunreinigungen im Leiterbahnmateriale zu einer unerwünschten Anlagerung von zweitem Isolationsmaterial an den Seitenwänden der Leiterbahnen 103 führen.

[0042] Zur elektrischen Isolation der Leiterbahnen 103 dient die vierte Schicht 109, welche die zweite Schicht 106 und freiliegende Bereiche der dritten Schicht 107 überdeckt. Die vierte Schicht 109 weist ein viertes Isolationsmaterial, gemäß diesem Ausführungsbeispiel auf Silan ( $\text{SiH}_4$ ) basierendes, plasmaangeregtes (PECVD-Prozess) Siliziumdioxid ( $\text{SiO}_2$ ), auf und wird von einer Schichtoberfläche 110 begrenzt. Die Schichtoberfläche 110 ist dabei im Wesentlichen parallel zur Substratoberfläche 102 ausgerichtet.

[0043] Gemäß diesem Ausführungsbeispiel ist in dem Substrat 101 eine vergrabene Leiterbahn 111 vorgesehen, welche im Wesentlichen senkrecht zur Zeichenebene verläuft. Des Weiteren ist ein elektrischer Kontakt 112 zwischen der vergrabenen Leiterbahn 111 und einer der Leiterbahnen 103 dargestellt. Selbstverständlich kann das Substrat 101 auch auf viele verschiedene andere Weisen strukturiert sein.

[0044] Über der Schichtoberfläche 110 können nach Belieben weitere Schichten mit elektrischen Bauelementen, beispielsweise Metallisierungsebenen, aufgebracht werden. Die erfindungsgemäße Hohlraumstruktur 100 bietet somit eine erhöhte Isolationswirkung zwischen den nebeneinander angeordneten Leiterbahnen 103 mittels der Anordnung von elektrisch isolierenden Zwischenräumen 104, welche die relative Dielektrizitätskonstante  $\epsilon_r$  zwischen den Leiterbahnen 103 reduzieren.

[0045] Der Abstand zweier benachbarter nebeneinander angeordneter Leiterbahnen 103 sowie die Dicke der nebeneinander angeordneten Leiterbahnen 103 sollten so gewählt werden, dass die erfindungsgemäße Hohlraumstruktur 100 eine gute Tragfähigkeit für über der Schichtoberfläche 110 angeordnete weitere Schichten aufweist. Gemäß diesem Ausführungsbeispiel weisen die nebeneinander angeordneten Leiterbahnen 103 jeweils eine Dicke von 500 nm und einen Abstand von 500 nm zueinander auf.

[0046] Wegen der Selektivität des zweiten Isolationsmaterials hinsichtlich des Anlagerungsverhaltens ist die Bildung der zweiten Schicht 106 mit dem Entstehen von Wülsten an

den oberen Enden der nebeneinander angeordneten Leiterbahnen 103 vergleichbar. Nach einer gewissen Wachstumszeit überlappen sich die Wülste von benachbarten nebeneinander angeordneten Leiterbahnen 103 und bilden eine geschlossene zweite Schicht 106. An den Stellen, an denen sich Wülste überlappen, ist die zweite Schicht 106 am dünnsten. Da zur Bildung der einheitlichen und zur Substratoberfläche 102 parallelen Schichtoberfläche 110 die zweite Schicht 106 teilweise wieder entfernt wird, sollte darauf geachtet werden, dass der Abstand der nebeneinander angeordneten Leiterbahnen 103 nicht zu groß gewählt wird, damit die zweite Schicht 106 nicht beim teilweisen Entfernen an den Überlappungsstellen der Wülste wieder aufbricht.

[0047] Im Folgenden wird schrittweise ein Verfahren zur Bildung der erfindungsgemäßen Hohlraumstruktur 100 beschrieben.

[0048] In Fig. 2 ist ein Querschnitt durch eine noch nicht fertiggestellte Hohlraumstruktur 200 zu einem ersten Zeitpunkt während der Durchführung des Herstellungsverfahrens gemäß dem Ausführungsbeispiel der Erfindung dargestellt.

[0049] Als Substrat 101 wird gemäß diesem Ausführungsbeispiel ein Wafer mit einer bereits fertiggestellten Metallisierungsebene verwendet. Deshalb weist das Substrat 101 eine vergrabene Leiterbahn 111 auf. Die vergrabene Leiterbahn 111 besteht gemäß diesem Ausführungsbeispiel aus Aluminium. Das Substrat 101 wird an einer Hauptseite von der Substratoberfläche 102 begrenzt. Zwischen der vergrabenen Leiterbahn 111 und der Substratoberfläche 102 befindet sich ausreichend Substratmaterial, um die vergrabene Leiterbahn 111 in Richtung Substratoberfläche 102 elektrisch zu isolieren. Als Substratmaterial wird gemäß diesem Ausführungsbeispiel auf Silan ( $\text{SiH}_4$ ) basierendes, plasmaangeregtes (PECVD-Prozess) Siliziumdioxid ( $\text{SiO}_2$ ) verwendet.

[0050] Fig. 3 zeigt einen Querschnitt durch eine noch nicht fertiggestellte Hohlraumstruktur 300 zu einem zweiten Zeitpunkt während der Durchführung des Herstellungsverfahrens gemäß dem Ausführungsbeispiel der Erfindung.

[0051] Auf der Substratoberfläche 102 befindet sich ein erster Teil der dritten Schicht 107. Der erste Teil der dritten Schicht 107 weist Siliziumnitrid ( $\text{Si}_3\text{N}_4$ ) auf und wird mittels eines üblichen Standardverfahrens, beispielsweise in einem PECVD-Prozess, flächig auf der Substratoberfläche 102 aufgebracht. Die Dicke des ersten Teils der dritten Schicht 107 beträgt gemäß diesem Ausführungsbeispiel 100 nm.

[0052] Mittels einer geeigneten Maske sowie eines Lithographie- und Ätzverfahrens wird ein Teil der vergrabenen Leiterbahn 111 freigelegt. Anschließend wird der Bereich, in dem Material der dritten Schicht 107 sowie des Substrats 101 entfernt sind, mit Metall zum Bilden von elektrischen Kontakten 112 aufgefüllt. Gemäß dem Ausführungsbeispiel weist der elektrische Kontakt 112 Aluminium auf.

[0053] Fig. 4 zeigt einen Querschnitt durch eine noch nicht fertiggestellte Hohlraumstruktur 400 zu einem dritten Zeitpunkt während der Durchführung des Herstellungsverfahrens gemäß dem Ausführungsbeispiel der Erfindung.

[0054] Auf dem ersten Teil der dritten Schicht 107 befindet sich nun eine Leiterbahnschicht 401 sowie darüber eine Isolationsschicht 402. Zum Bilden der Leiterbahnschicht 401 wird flächig über dem ersten Teil der dritten Schicht 107 ein Metall abgeschieden, gemäß dem Ausführungsbeispiel Aluminium.

[0055] Bei einer alternativen Verwendung von Kupfer wird zu einem späteren Zeitpunkt während des Herstellungsverfahrens ein komplizierterer Bearbeitungsprozess angewendet. Die Isolationsschicht 402 wird flächig über der

Leiterbahnschicht 401 gebildet und weist ein erstes Isolationsmaterial, gemäß diesem Ausführungsbeispiel auf Silan ( $\text{SiH}_4$ ) basierendes, plasmaangeregtes (PECVD-Prozess) Siliziumdioxid ( $\text{SiO}_2$ ), auf.

[0056] Gemäß diesem Ausführungsbeispiel weist die Leiterbahnschicht 401 eine Dicke von 500 nm und die Isolationsschicht 402 eine Dicke von 100 nm auf.

[0057] In Fig. 5 ist ein Querschnitt durch eine noch nicht fertiggestellte Hohlraumstruktur 500 zu einem vierten Zeitpunkt während der Durchführung des Herstellungsverfahrens gemäß dem Ausführungsbeispiel der Erfindung dargestellt.

[0058] Aus der im vorangehenden Herstellungsschritt erzeugten Leiterbahnschicht 401 sowie der Isolationsschicht 402 wird mittels Strukturierung in einem Lithographie- und Ätzverfahren auf der Basis einer Lithographiemaske die nebeneinander angeordneten Leiterbahnen 103 gebildet. Zwischen den Leiterbahnen 103 befinden sich mittels der Strukturierung der Leiterbahnen 103 gebildete Zwischenräume 104, welche gegenüber der Substratoberfläche 102 nach oben offen sind. Des Weiteren werden die Leiterbahnen 103 von jeweils einer ersten Schicht 105 auf der Leiterbahnoberseite gegenüber der Substratoberfläche 102 begrenzt. Die ersten Schichten 105 entstehen automatisch bei der Strukturierung der Leiterbahnen 103 aus der Isolationsschicht 402.

[0059] Wird als elektrisch leitfähiges Material für die vergrabene Leiterbahn 111, den elektrischen Kontakt 112 und die Leiterbahnschicht 401 Kupfer verwendet, wird zum Erzeugen der Leiterbahnen 103 eine strukturierte Hartmaske auf die Isolationsschicht 402 aufgebracht. Dann wird die Isolationsschicht 402 sowie die Leiterbahnschicht 401 bei einer Temperatur von 250...350°C mittels eines Chlor-Argon-Gemisches geätzt. Anschließend wird die Hartmaske mittels eines Ätzprozesses wieder entfernt. Da diese Prozessfolge in der Regel komplizierter und zeitaufwändiger ist als die üblichen Lithographie- und Ätzprozesse unter Anwendung von Photolack-Lithographiemasken, wird die Anwendung von Aluminium als elektrisch leitfähiges Material bevorzugt.

[0060] Fig. 6 zeigt einen Querschnitt durch eine noch nicht fertiggestellte Hohlraumstruktur 600 zu einem fünften Zeitpunkt während der Durchführung des Herstellungsverfahrens gemäß dem Ausführungsbeispiel der Erfindung.

[0061] Über den ersten Schichten 105, den Leiterbahnen 103 sowie dem freiliegenden ersten Teil der dritten Schicht 107 befindet sich nun der zweite Teil der dritten Schicht 107. Zu dessen Herstellung wird Siliziumnitrid ( $\text{Si}_3\text{N}_4$ ) mittels eines üblichen Standardverfahrens, beispielsweise in einem PECVD-Prozess, möglichst konform aufgebracht. Die Dicke des zweiten Teils der dritten Schicht 107 beträgt gemäß diesem Ausführungsbeispiel zwischen 50 nm und 100 nm.

[0062] In Fig. 7 ist ein Querschnitt durch eine noch nicht fertiggestellte Hohlraumstruktur 700 zu einem sechsten Zeitpunkt während der Durchführung des Herstellungsverfahrens gemäß dem Ausführungsbeispiel der Erfindung dargestellt.

[0063] Zum Erzeugen von Spacern 108 wird die dritte Schicht 107 anisotrop geätzt. Als Ätzprozess wird dabei ein Plasmaätzprozess eingesetzt. Die Ätzdauer ist so zu bemessen, dass auf den ersten Schichten 105 befindlichen Teile der dritten Schicht 107 entfernt und die Seitenflanken der ersten Schichten 105 freigelegt werden. Des Weiteren sollen die Seitenwände der Leiterbahnen 103 von der dritten Schicht 107 bedeckt bleiben. Außerdem darf die dritte Schicht 107 auf Grund der vorgenommenen Wahl für die Isolationsmaterialien über der Substratoberfläche 102 nicht entfernt und somit die Substratoberfläche 102 nicht freigelegt werden.

Somit wird während des anisotropen Ätzprozesses die dritte Schicht 107 in den Zwischenräumen 104 oberhalb der Substratoberfläche 102 lediglich gedünnt.

[0064] Dass die dritte Schicht 107 in den Zwischenräumen 104 oberhalb der Substratoberfläche 102 lediglich gedünnt wird ist eine Folge der eine Art Doppelschicht bildenden Struktur der dritten Schicht 107. Die Substratoberfläche 102 wird in den Zwischenräumen 104 sowohl beim Erzeugen des ersten Teils der dritten Schicht 107 als auch beim Erzeugen des zweiten Teils der dritten Schicht 107 mit drittem Isolationsmaterial bedeckt. Diese Art Doppelschicht dient dazu, beim anisotropen Ätzprozess eine sichere Freilegung der ersten Schicht 105 zu gewährleisten, ohne dass gleichzeitig die Substratoberfläche 102 in den Zwischenräumen 104 freigelegt wird.

[0065] Die derart strukturierte dritte Schicht 107 dient für den nachfolgenden Herstellungsprozess als Spacer 108, welche bei der Bildung der zweiten Schicht 106 die Selektivität fördern.

[0066] Fig. 8 zeigt einen Querschnitt durch eine noch nicht fertiggestellte Hohlraumstruktur 800 zu einem siebten Zeitpunkt während der Durchführung des Herstellungsverfahrens gemäß dem Ausführungsbeispiel der Erfindung.

[0067] Auf den ersten Schichten 105 wird eine zweite Schicht 106 aus einem zweiten Isolationsmaterial selektiv aufgewachsen. Dadurch bilden sich neben den ersten Schichten 105 zunächst wulstartige Schichten 801 aus dem zweiten Isolationsmaterial. Als zweites Isolationsmaterial wird Siliziumdioxid ( $\text{SiO}_2$ ) verwendet, welches auf ozonaktiviertem Tetra-Ethyl-Ortho-Silicat ( $\text{O}_3/\text{TEOS}$ ) basiert und in einem Vakuumprozess abgeschieden wird. Auf Grund der gezielten Wahl des ersten Isolationsmaterials ( $\text{SiO}_2$ ) für die erste Schicht 105 und des dritten Isolationsmaterials ( $\text{Si}_3\text{N}_4$ ) für die dritte Schicht 107, somit für die Spacer 108, und auf Grund des gewählten  $\text{O}_3/\text{TEOS}$ -Vakuumprozesses wird das zweite Isolationsmaterial ( $\text{SiO}_2$ ) nur an der ersten Schicht 105 zur Bildung der wulstartigen Schichten 801 selektiv abgeschieden. Die wulstartigen Schichten 801 verengen zwischen den ersten Schichten 105 die zwischen den Leiterbahnen 103 befindlichen Zwischenräume 104, wodurch die Zwischenräume 104 zuwachsende Öffnungen 802 in der Nähe der wulstartigen Schichten 801 aufweisen.

[0068] Für die Bildung einer erfindungsgemäßen Hohlraumstruktur 100 können statt der drei gewählten Isolationsmaterialien sowie deren Herstellungsprozesse auch andere isolierende Materialien und Herstellungsprozesse verwendet werden.

[0069] In Fig. 9 ist ein Querschnitt durch eine noch nicht fertiggestellte Hohlraumstruktur 900 zu einem achten Zeitpunkt während der Durchführung des Herstellungsverfahrens gemäß dem Ausführungsbeispiel der Erfindung dargestellt.

[0070] Zweites Isolationsmaterial ( $\text{SiO}_2$ ) wird, wie in Fig. 8 bereits beschrieben, weiterhin selektiv an den wulstartigen Schichten 801 abgeschieden, wodurch sich eine Schicht aus zugewachsenen Wülsten 901 über der ersten Schicht 105 bildet. Die Schicht aus zugewachsenen Wülsten 901 hat keine ebene, zur Substratoberfläche 102 parallele Oberfläche, überdeckt jedoch vollständig die Zwischenräume 104. Aus den Zwischenräumen 104 entstehen somit Hohlräume zwischen der Substratoberfläche 102, den nebeneinander angeordneten Leiterbahnen 103 und der Schicht aus zugewachsenen Wülsten 901.

[0071] Fig. 10 zeigt einen Querschnitt durch eine noch nicht fertiggestellte Hohlraumstruktur 1000 zu einem neunten Zeitpunkt während der Durchführung des Herstellungsverfahrens gemäß dem Ausführungsbeispiel der Erfindung.

[0072] Die Schicht aus zugewachsenen Wülsten 901 wird derart teilweise abgetragen, dass die Schicht aus zugewachsenen Wülsten 901 von einer ebenen Oberfläche parallel zur Substratoberfläche 102 begrenzt wird. Diese ebene Oberfläche vereinfacht ein konformes Abscheiden von weiterem Isolationsmaterial. Aus der Schicht aus zugewachsenen Wülsten 901 wird somit die zweite Schicht 106 gebildet.

[0073] Zum teilweisen Abtragen der Schicht aus zugewachsenen Wülsten 901 und somit zum Bilden der zweiten Schicht 106 wird gemäß diesem Ausführungsbeispiel eine chemisch-mechanischer Poliervorgang angewendet.

[0074] In Fig. 11 ist ein Querschnitt durch eine noch nicht fertiggestellte Hohlraumstruktur 1100 zu einem zehnten Zeitpunkt während der Durchführung des Herstellungsverfahrens gemäß dem Ausführungsbeispiel der Erfindung dargestellt.

[0075] Über der zweiten Schicht 106 sowie den freiliegenden Bereichen der dritten Schicht 107 ist eine Planarisierungsschicht 1101 aus einem vierten Isolationsmaterial angeordnet. Diese Planarisierungsschicht 1101 wird in einem konformen Abscheideprozess erzeugt. Als viertes Isolationsmaterial kommt gemäß diesem Ausführungsbeispiel auf Silan ( $\text{SiH}_4$ ) basierendes, plasmaangeregtes (PECVD-Prozess) Siliziumdioxid ( $\text{SiO}_2$ ) zur Anwendung. Dieses wird in einer Dicke von 1  $\mu\text{m}$  über der zweiten Schicht 106 und den freiliegenden Bereichen der dritten Schicht 107 abgeschieden.

[0076] Die Planarisierungsschicht 1101 dient einer weiteren elektrischen Isolation der Leiterbahnen 103, vor allem zu potentiellen weiteren Schichten mit elektrischen Bauelementen, beispielsweise Metallisierungsebenen, welche über den Leiterbahnen 103 angeordnet werden. Um auf die Planarisierungsschicht 1101 jedoch weitere Schichten mit elektrischen Bauelementen aufbringen zu können, muss die Planarisierungsschicht 1101 erst eingeebnet werden.

[0077] Dazu wird ein Teil der Planarisierungsschicht 1101 abgetragen und damit die vierte Schicht 109 gebildet. Die vierte Schicht 109 weist schließlich eine ebene Schichtoberfläche 110 auf, welche parallel zur Substratoberfläche 102 ausgerichtet ist. Auf der Schichtoberfläche 110 können nun weitere Schichten mit elektrischen Bauelementen aufgebracht werden.

[0078] Zum teilweisen Abtragen der Planarisierungsschicht 1101 und somit zum Bilden der vierten Schicht 109 wird gemäß diesem Ausführungsbeispiel eine chemisch-mechanischer Poliervorgang angewendet. Daraus resultiert dann die in Fig. 1 dargestellte Hohlraumstruktur 100.

[0079] Fig. 12 zeigt einen vergrößerten Ausschnitt aus dem Querschnitt durch die Hohlraumstruktur 100 aus Fig. 1.

[0080] Dargestellt sind die nebeneinander angeordneten Leiterbahnen 103, auf denen die ersten Schichten 105 aufgebracht sind. Zwischen den nebeneinander angeordneten Leiterbahnen 103 befindet sich ein Zwischenraum 104. An den Seitenwänden der Leiterbahnen 103 sowie unterhalb des Zwischenraums 104 ist die als Spacer 108 wirkende dritte Schicht 107 dargestellt. Selektiv an den ersten Schichten 105 ist die zweite Schicht 106 angeordnet, welche aus dem Zwischenraum 104 einen Hohlraum macht. Die Form der den Zwischenraum 104 bedeckenden zweiten Schicht 106 lässt noch die Form der während der Bildung der zweiten Schicht 106 entstandenen wulstförmigen Schichten 801 erkennen.

[0081] In diesem Dokument ist folgende Veröffentlichung zitiert:

[1] J. G. Fleming, E. Roherty-Osmun, A. J. Farino, Conference Proceedings ULSI XII, Materials Research Society, p. 471-477, 1997

[2] T. Ueda, E. Tamaoka, K. Yamashita, N. Aoi, S. Mayumi,

IEEE Proc. 1998 Symp. VLSI Techn. Digest of Technical Papers, p. 46-47, 1998

### Bezugszeichenliste

100 Hohlraumstruktur gemäß Erfindung	5
101 Substrat	
102 Substratoberfläche	
103 Leiterbahn	
104 Zwischenraum	10
105 erste Schicht	
106 zweite Schicht	
107 dritte Schicht	
108 Spacer	
109 vierte Schicht	15
110 Schichtoberfläche	
111 vergrabene Leiterbahn	
112 elektrischer Kontakt	
200 entstehende Hohlraumstruktur zu erstem Zeitpunkt	
300 entstehende Hohlraumstruktur zu zweitem Zeitpunkt	20
400 entstehende Hohlraumstruktur zu drittem Zeitpunkt	
401 Leiterbahnschicht	
402 Isolationsschicht	
500 entstehende Hohlraumstruktur zu viertem Zeitpunkt	
600 entstehende Hohlraumstruktur zu fünftem Zeitpunkt	25
700 entstehende Hohlraumstruktur zu sechstem Zeitpunkt	
800 entstehende Hohlraumstruktur zu siebtem Zeitpunkt	
801 wulstförmige Schicht	
802 zuwachsende Öffnung	
900 entstehende Hohlraumstruktur zu achtem Zeitpunkt	30
901 Schicht aus zugewachsenen Wülsten	
1000 entstehende Hohlraumstruktur zu neuntem Zeitpunkt	
1100 entstehende Hohlraumstruktur zu zehntem Zeitpunkt	
1101 Planarisierungsschicht	
1200 Ausschnitt aus Hohlraumstruktur gemäß Erfindung	35

### Patentansprüche

1. Hohlraumstruktur mit einem Substrat mit einer Substratoberfläche, mit nebeneinander angeordneten Leiterbahnen auf der Substratoberfläche, so dass zwischen den Leiterbahnen Zwischenräume ausgebildet sind, mit einer auf jeder der Leiterbahnen auf deren Leiterbahnoberseite angeordneten ersten Schicht aus einem ersten Isolationsmaterial, wobei die ersten Schichten benachbarter Leiterbahnen derart strukturiert sind, dass zumindest ein Teil der Zwischenräume auf einer der Substratoberfläche gegenüber liegenden Seite offen sind, und mit einer die Zwischenräume bedeckenden zweiten Schicht aus einem zweiten Isolationsmaterial, welches sich nur auf dem ersten Isolationsmaterial abscheiden lässt, so dass ein zwischen jeweils zwei benachbarten Leiterbahnen befindlicher Zwischenraum einen von dem Substrat, der zweiten Schicht und den beiden benachbarten Leiterbahnen abgeschlossenen Hohlraum darstellt.
2. Hohlraumstruktur gemäß Anspruch 1, bei der die Hohlräume zur elektrischen Isolierung zwischen den Leiterbahnen vorgesehen sind.
3. Hohlraumstruktur gemäß Anspruch 1 oder 2, bei der die Leiterbahnen zumindest teilweise auf elektrisch leitenden Bereichen des Substrats angeordnet sind.
4. Hohlraumstruktur gemäß einem der Ansprüche 1 bis 3, bei der die Leiterbahnen Seitenwände aufweisen, welche im Wesentlichen senkrecht zur Substratoberfläche ausgerichtet sind und bei der eine dritte Schicht aus

einem dritten Isolationsmaterial auf den Seitenwänden der Leiterbahnen angeordnet ist.

5. Hohlraumstruktur gemäß Anspruch 4, bei der die dritte Schicht zwischen der Substratoberfläche und den Leiterbahnen sowie in den Hohlräumen auf der Substratoberfläche angeordnet ist.

6. Hohlraumstruktur gemäß einem der Ansprüche 1 bis 5, bei der auf der zweiten Schicht eine vierte Schicht aus einem vierten Isolationsmaterial angeordnet ist.

7. Mehrfach-Hohlraumstruktur

mit einem Substrat, und

mit einer Teil-Hohlraumstruktur, welche aufweist: eine Unterseite,

nebeneinander angeordnete Leiterbahnen auf der Unterseite, so dass zwischen den Leiterbahnen Zwischenräume ausgebildet sind,

eine auf jeder der Leiterbahnen auf deren Leiterbahnoberseite angeordnete erste Schicht aus einem ersten Isolationsmaterial, wobei die ersten Schichten benachbarter Leiterbahnen derart strukturiert sind, dass zumindest ein Teil der Zwischenräume auf einer der Unterseite gegenüber liegenden Seite offen sind, und

eine die Zwischenräume bedeckende zweite Schicht aus einem zweiten Isolationsmaterial, welches sich nur auf dem ersten Isolationsmaterial abscheiden lässt, so dass ein zwischen jeweils zwei benachbarten Leiterbahnen befindlicher Zwischenraum einen von dem Substrat, der zweiten Schicht und den beiden benachbarten Leiterbahnen abgeschlossenen Hohlraum darstellt, und

wobei mindestens zwei der Teil-Hohlraumstrukturen übereinander auf dem Substrat angeordnet sind.

8. Verfahren zur Herstellung einer Hohlraumstruktur, bei dem auf einer Substratoberfläche eines Substrates nebeneinander angeordnete Leiterbahnen gebildet werden, so dass zwischen den Leiterbahnen Zwischenräume ausgebildet werden,

bei dem auf jeder der Leiterbahnen auf deren Leiterbahnoberseite eine erste Schicht aus einem ersten Isolationsmaterial gebildet wird,

wobei die ersten Schichten benachbarter Leiterbahnen derart strukturiert werden, dass zumindest ein Teil der Zwischenräume auf einer der Substratoberfläche gegenüber liegenden Seite offen bleiben, und

bei dem eine zweite Schicht aus einem zweiten Isolationsmaterial derart selektiv auf den ersten Schichten aufgebracht wird, dass die zweite Schicht die Zwischenräume abschließt, und

bei dem aus einem zwischen jeweils zwei benachbarten Leiterbahnen befindlichen Zwischenraum ein von dem Substrat, der zweiten Schicht und den beiden benachbarten Leiterbahnen abgeschlossener Hohlraum gebildet wird, wodurch sich eine Hohlraumstruktur ergibt.

9. Verfahren gemäß Anspruch 8, bei dem die Leiterbahnen mit den bedeckenden ersten Schichten aus einer auf der Substratoberfläche flächig aufgetragenen Leiterbahnschicht sowie einer darüber angeordneten flächigen Isolationsschicht aus einem ersten Isolationsmaterial erzeugt werden.

10. Verfahren gemäß Anspruch 8 oder 9, bei dem eine dritte Schicht aus einem dritten Isolationsmaterial an Seitenwänden der Leiterbahnen, welche im Wesentlichen senkrecht zur Substratoberfläche ausgerichtet sind, sowie über den ersten Schichten konform aufgebracht wird.

11. Verfahren gemäß Anspruch 10, bei dem die dritte



Schicht zwischen der Substratoberfläche und den Leiterbahnen flächig aufgebracht wird.

12. Verfahren gemäß Anspruch 10 oder 11, bei dem die dritte Schicht derart inhomogen entfernt wird, dass nur die zweiten Schichten freigelegt werden.

13. Verfahren gemäß einem der Ansprüche 8 bis 12, bei dem mittels der selektiven Abscheidung des zweiten Isolationsmaterials an den ersten Schichten aus jeweils einem Zwischenraum zwischen zwei benachbarten Leiterbahnen ein Hohlraum zwischen der Substratoberfläche, der zweiten Schicht und den beiden benachbarten Leiterbahnen gebildet wird.

14. Verfahren gemäß einem der Ansprüche 8 bis 13, bei dem über der zweiten Schicht eine vierte Schicht aus einem vierten Isolationsmaterial konform aufgebracht wird.

15. Verfahren gemäß Anspruch 14, bei dem die vierte Schicht teilweise entfernt wird, bis die vierte Schicht eine parallel zur Substratoberfläche ausgerichtete Schichtoberfläche aufweist, auf welcher weitere Leiterbahnen aufgebracht werden können.

---

Hierzu 5 Seite(n) Zeichnungen

---

25

30

35

40

45

50

55

60

65

- Leerseite -

FIG 1

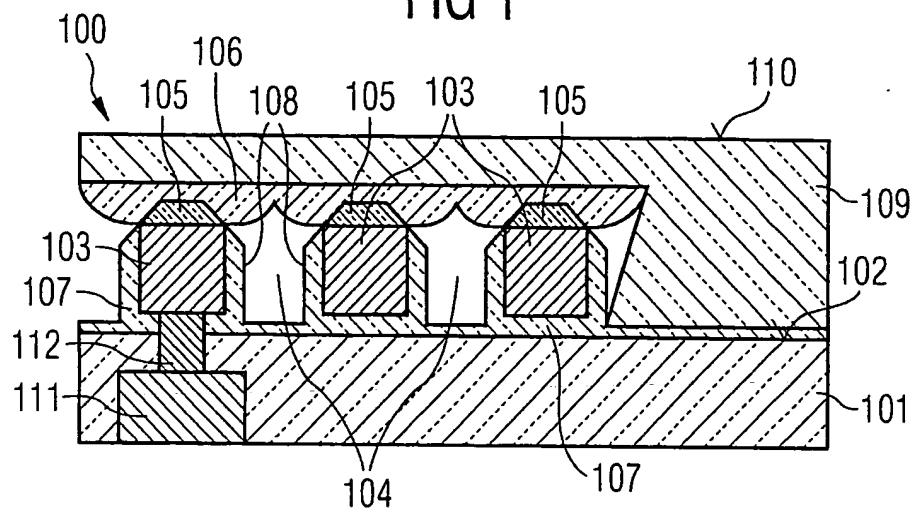


FIG 2

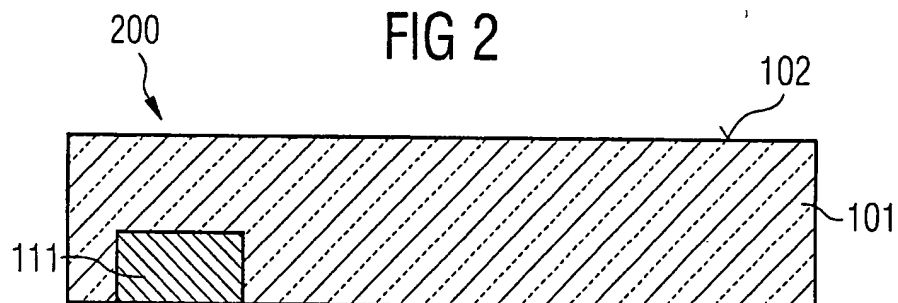
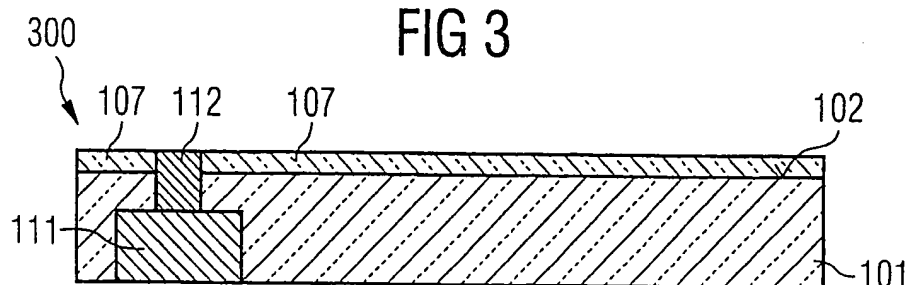
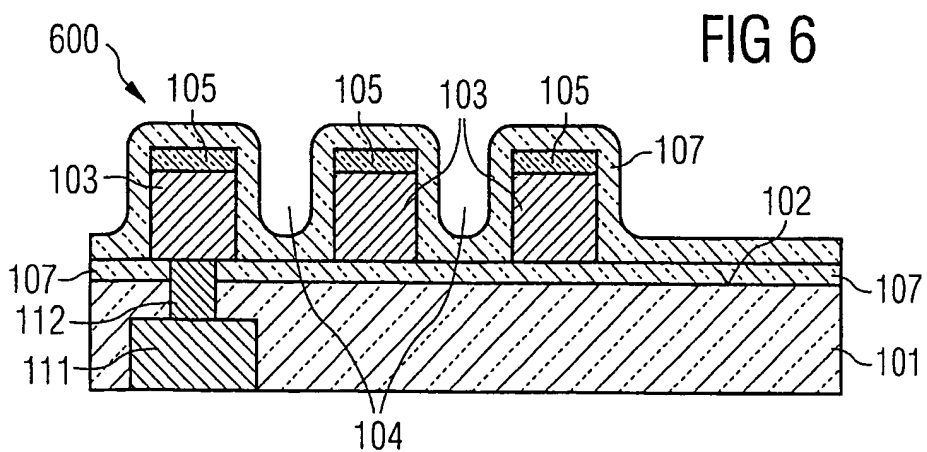
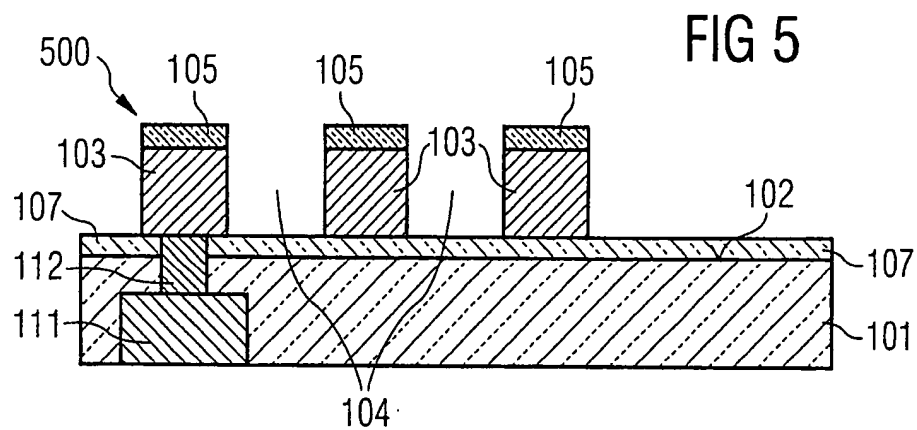
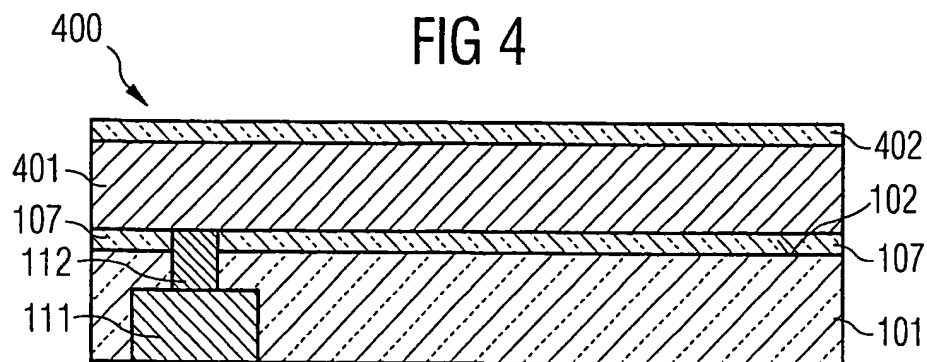


FIG 3





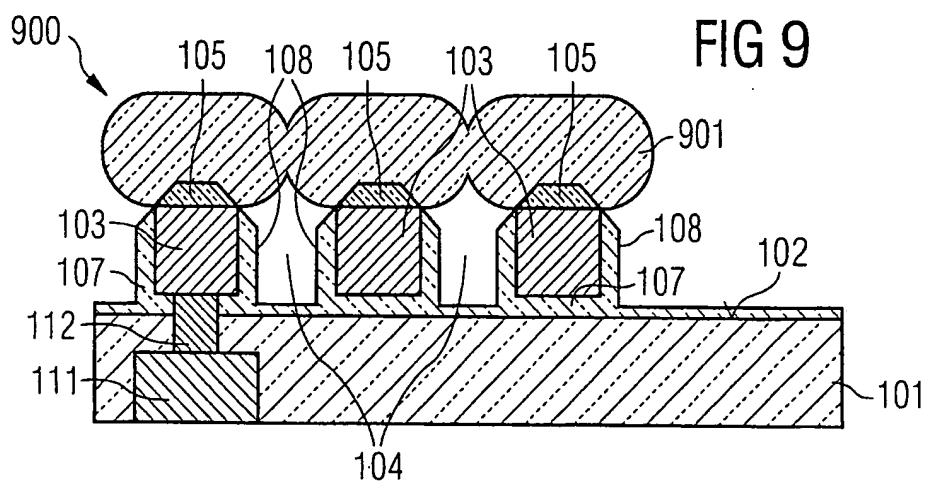
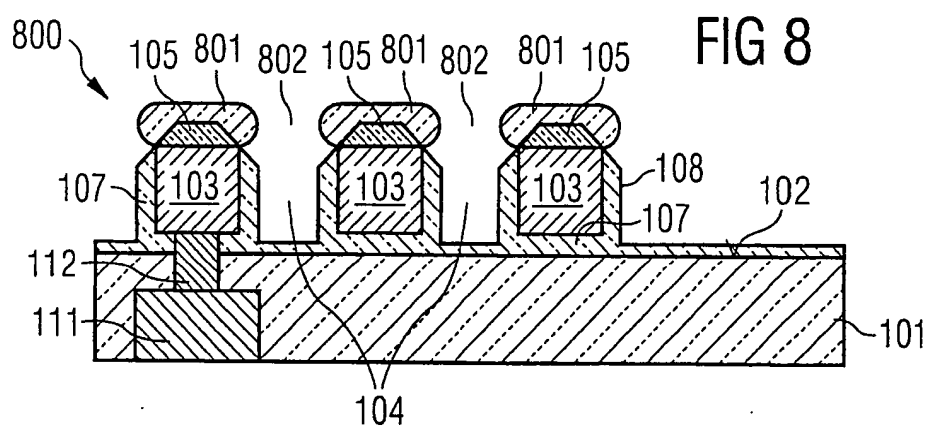
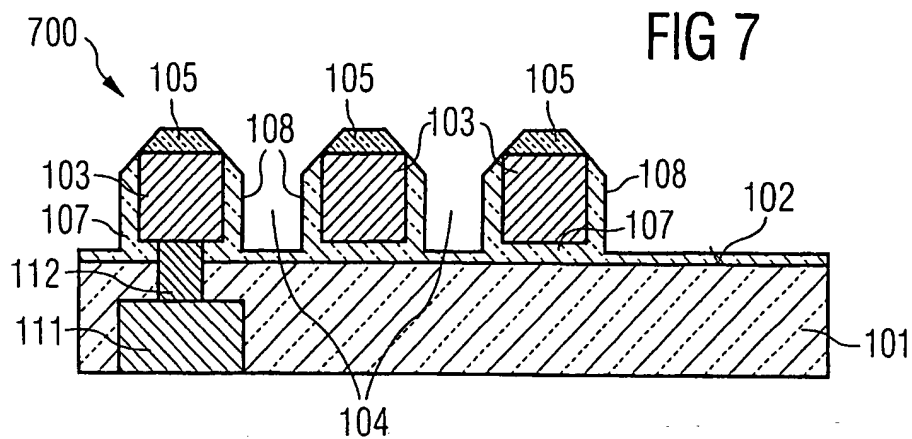


FIG 10

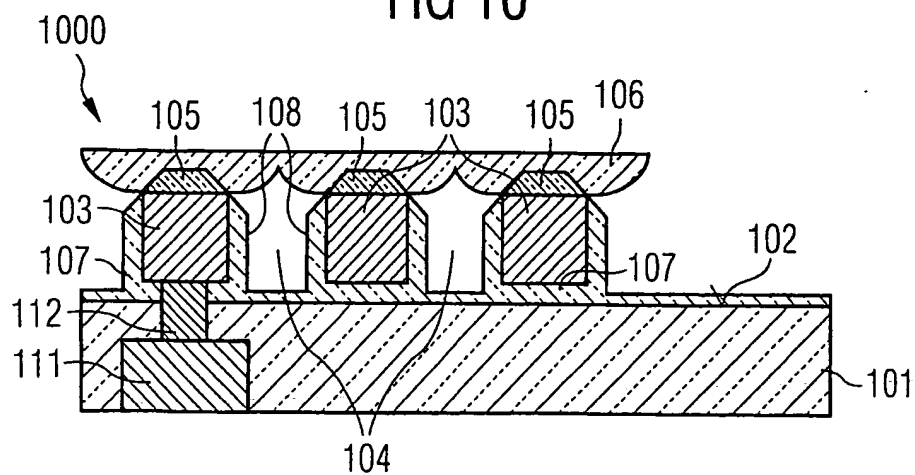


FIG 11

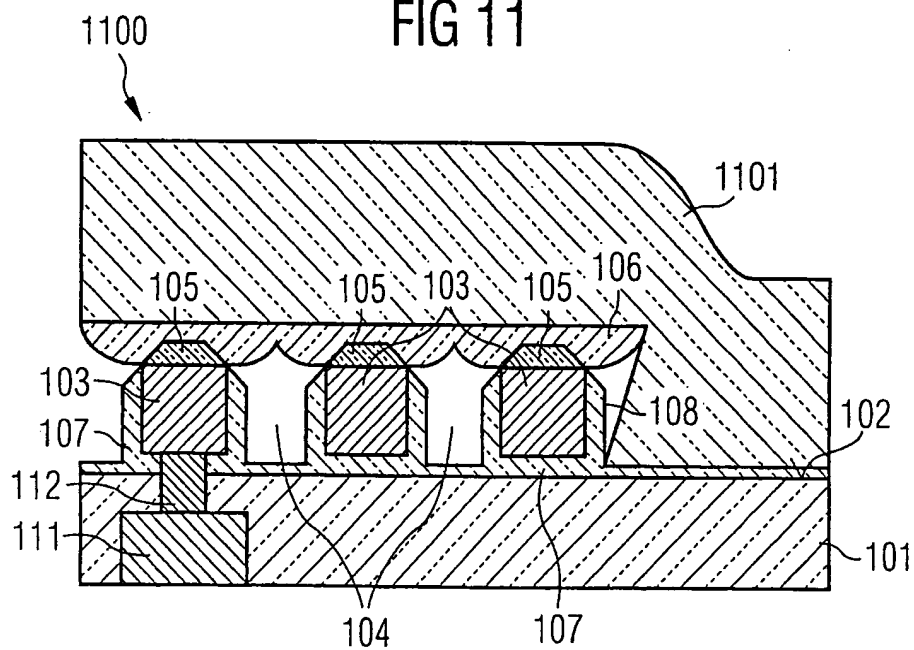
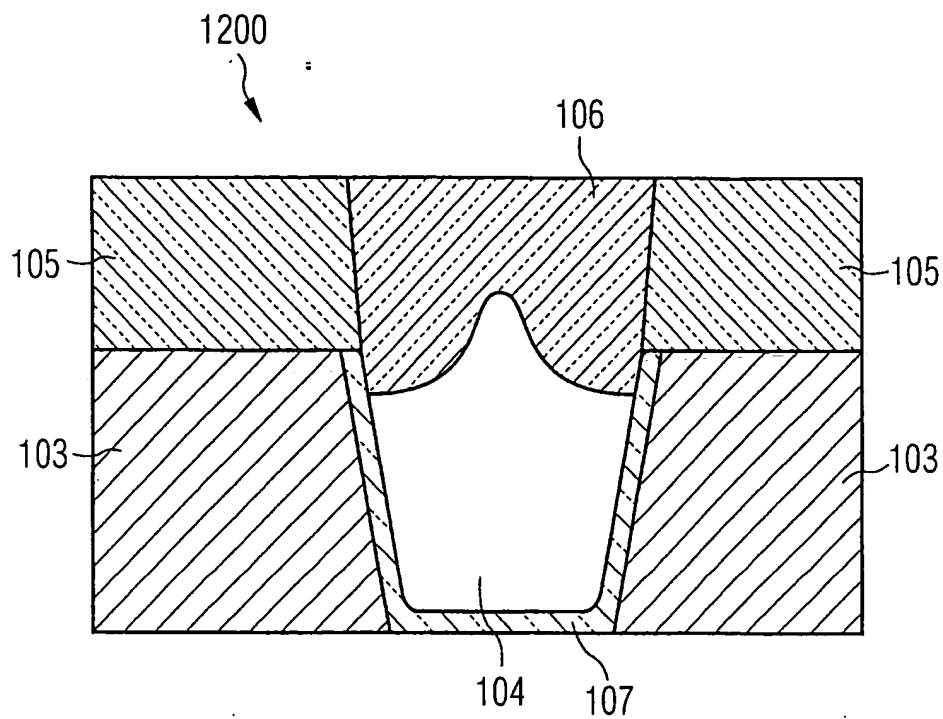


FIG 12



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**